

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-257266

(43)Date of publication of application : 21.09.2001

(51)Int.Cl.

H01L 21/82
H01L 27/04
H01L 21/822
H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 2000-068006

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 13.03.2000

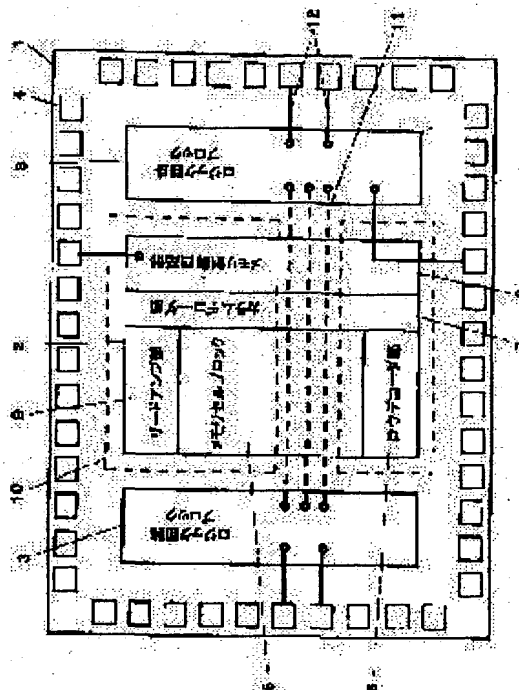
(72)Inventor : HIROSE MASANOBU

(54) SEMICONDUCTOR DEVICE, LAYOUT METHOD THEREFOR AND LAYOUT CONSTITUTION

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that, in a semiconductor device which hybridly mounts a memory such as DRAM and logic circuits, a metal pattern covering memory cell regions is laid on the memory to form wiring regions among the logic circuits on the metal pattern, but it is effective only when the number of wiring layers of logic parts is larger by two layers or more than the number of wiring layers of the memory.

SOLUTION: A metal pattern 10 is laid on a region covering the almost of memory cell regions in a DRAM block 2, metal wirings 11 are formed from the same wiring layer as the metal pattern 10, the metal pattern 10 is to feed desired parts of the memory block with a fixed potential, and the metal wirings 11 interconnect logic circuit blocks 3 or pads 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2001-257266

(P 2 0 0 1 - 2 5 7 2 6 6 A)

(43)公開日 平成13年9月21日(2001.9.21)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H01L 21/82		H01L 27/10	461 5F038
27/04		21/82	W 5F064
21/822			B 5F083
27/10	461	27/04	U
27/108		27/10	681 Z

審査請求 未請求 請求項の数7 O L (全10頁) 最終頁に続く

(21)出願番号 特願2000-68006(P 2000-68006)

(22)出願日 平成12年3月13日(2000.3.13)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 広瀬 雅庸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100076174

弁理士 宮井 暎夫

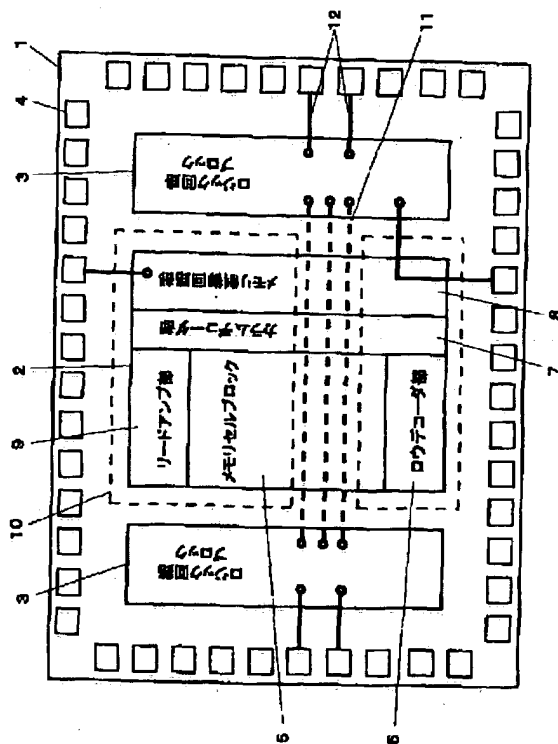
最終頁に続く

(54)【発明の名称】半導体装置、半導体装置のレイアウト方法およびレイアウト構成

(57)【要約】

【課題】DRAMなどのメモリ部と、ロジック回路部を混載した半導体装置において、メモリ部上にメモリセル領域覆うメタルパターンを配置し、前記メタルパターン上をロジック回路部間の配線領域としていたが、ロジック部の配線層数がメモリ部の配線層数より、2層以上多い場合しか有効にならない。

【解決手段】DRAMブロック2の少なくともメモリセル領域の大部分を覆う領域にメタルパターン10を配置する。メタルパターン10と同一の配線層でメタル配線11を形成する。メタルパターン10はメモリブロックの所望の部分に固定電位を供給し、メタル配線11はロジック回路ブロック3間やパッド部4の相互の接続を行う。



【特許請求の範囲】

【請求項1】 ワンチップにメモリセルアレイ領域のあるメモリ部とロジック部とを有する半導体装置であって、

前記メモリ部に形成されるメモリ回路が n 層配線で構成され、前記ロジック部に形成されるロジック回路が $(n+m)$ 層配線で形成され、前記メモリ回路上の $(n+1)$ 層目に、少なくとも前記メモリセルアレイ領域を覆う形状でメタルパターンが形成され、前記ロジック部と接続されるメタル配線パターンが、前記メタルパターンと同一の配線層で形成されることを特徴とする半導体装置。

【請求項2】 マトリックス状に配置されたメモリセルアレイ領域の間に隣接して配置されるワード線裏打ち領域上に、ロジック部と接続される複数のメタル配線パターンを形成する請求項1記載の半導体装置。

【請求項3】 レイアウトデータを用いて自動レイアウトを行なう半導体装置のレイアウト方法であって、 n 層配線で形成されたメモリマクロ内に、 $(n+1)$ 層目の自動配線時にのみ前記レイアウトデータの形状データとして使用し得る認識データを適用し、前記形状データで覆われる領域以外を自動配線レイアウト領域として使用することを特徴とする半導体装置のレイアウト方法。

【請求項4】 メモリマクロを包含する形状のメモリマクロ認識データと、自動配線禁止領域認識データより、前記メモリマクロ認識データと自動配線禁止領域認識データの論理積を求め、この論理積を前記メモリマクロの形状データとする請求項3記載の半導体装置のレイアウト方法。

【請求項5】 メモリセルアレイ領域を含むメモリ部およびロジック部を有する半導体装置のレイアウト構成であって、前記メモリ部のメモリマクロに形成されるメモリ回路が n 層配線で構成され、前記メモリマクロ上の $(n+1)$ 層目に、少なくとも前記メモリセルアレイ領域を覆う形状でメタルパターンを形成し、前記ロジック部と接続される複数のメタル配線パターンが、前記メタルパターンと同一の配線層で形成されていることを特徴とする半導体装置のレイアウト構成。

【請求項6】 複数のメタル配線パターンが隣接して平行に形成され、デザインルールで規定される最小寸法よりも大きな寸法である請求項5記載のメモリマクロのレイアウト構成。

【請求項7】 複数のメタル配線パターンが、配線幅および配線間隔が異なる複数種類を形成する請求項5記載のメモリマクロのレイアウト構成。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミックRAMなどのメモリを搭載した半導体装置、半導体装置のレイアウト方法およびレイアウト構成に関する。

【0002】

【従来の技術】ワンチップ上にダイナミックRAMなどのメモリ回路部とロジック回路部を搭載した半導体装置において、 α 線によるソフトエラー耐性の向上、他の電子部品から放射される電磁波ノイズやロジック回路部からのノイズの遮断およびメモリ回路部上のメタル配線領域の有効利用を合わせて実現する手段として、上記メモリ回路部上をグランド電位等の一定電位に接続したメタルパターンで覆い、メタルパターン上の空き領域にメタル配線を構成することが提案されていた（例えば特開平11-274424号）。

【0003】

【発明が解決しようとする課題】しかしながら、 n 層配線で構成されたメモリ回路部上に、メモリ回路部上を覆うメタルパターンを形成し、さらにメタルパターン上に配線パターン領域を形成すると、チップ全体での層配線層数は、少なくとも $(n+2)$ 層が必要になり、ロジック部の配線が $(n+1)$ 層で構成される場合は、メモリ部上を配線領域として利用することができない。またロジック部の配線が $(n+2)$ 層で構成される場合でも、メモリ部上の配線は1層しか使用できないため配線レイアウトの自由度が小さくなる。

【0004】このように、配線層数が比較的少ないロジック部とメモリ部を搭載した場合、メモリ部上を配線領域として使用することができない、または有効利用できないという課題がある。

【0005】また、一般的にメモリ部の配線層数は、ロジック部の配線層数に比較して少ない構成を有しているものの、自動配置配線ツールを使用して自動レイアウトを行う場合、各マクロブロックの形状データと、各マクロブロックのピン情報を認識して、各マクロブロック間の配線を行い、各マクロブロック内はマクロブロック間の配線を禁止するのが一般的であり、自動配置配線ツールではメモリ部上を配線領域として使用することができないため、チップ面積が増大するという課題がある。また、マニュアルでレイアウト設計を行い、メモリ部上を配線領域として有効利用した場合でも、設計工数が増大するという課題がある。

【0006】したがって、この発明の目的は、メモリ部上を配線領域として有効利用でき、チップ面積を縮小できる半導体装置、半導体装置のレイアウト方法およびレイアウト構成を提供することである。

【0007】また、本発明の目的は、設計工数の大幅な低減を実現することができる半導体装置、半導体装置のレイアウト方法およびレイアウト構成を提供することである。

【0008】

【課題を解決するための手段】請求項1記載の半導体装置は、ワンチップにメモリセルアレイ領域、センスアンプ領域、デコーダ領域、メモリ制御回路領域を含むメモ

リ部とロジック部とを有する半導体装置であって、メモリ部に形成されるメモリ回路が n 層配線で構成され、ロジック部に形成されるロジック回路が $(n+m)$ 層配線で形成され、メモリ回路上の $(n+1)$ 層目に、少なくともメモリセルアレイ領域を覆う形状でメタルパターンが形成され、ロジック部と接続されるメタル配線パターンが、メタルパターンと同一の配線層で形成されることを特徴とするものである。

【0009】請求項1記載の半導体装置によれば、例えばメタルパターンは少なくともメモリ部に一定電位を供給し、メタル配線パターンのうち少なくとも1本はパッド部またはロジック回路部と電気的に接続されると、必要個所に安定した一定電位を供給することができる。しかもパッケージ樹脂もしくは外部からチップ表面に入射する α 線を、メモリセル上に設けたメタルパターンによって減衰させ、メモリセル内部でのソフトエラーの発生頻度を低減することができ、ソフトエラーに対してより安定動作を行うことができるとともに、メモリセル上に設けたメタルパターンと同一の配線層で、DRAMブロック上を、ロジック回路ブロック間の配線領域として有効に利用できるため、より少ない配線層数で、自由度の高い配線パターンを形成することができる。

【0010】請求項2記載の半導体装置は、説明図1において、マトリックス状に配置されたメモリセルアレイ領域の間に隣接して配置されるワード線裏打ち領域上に、ロジック部と接続される複数のメタル配線パターンを形成するものである。

【0011】請求項2記載の半導体装置によれば、請求項1と同様な効果のほか、メタルパターンを形成しないメモリ回路上をロジック回路やパッド部間の配線領域として使用できるため、配線長の短縮とレイアウト面積の縮小ができ、ロジック回路部の特性向上とチップ面積の縮小ができる。

【0012】請求項3記載の半導体装置のレイアウト方法は、レイアウトデータを用いて自動レイアウトを行なう半導体装置のレイアウト方法であって、 n 層配線で形成されたメモリマクロ内に、 $(n+1)$ 層目の自動配線時にのみレイアウトデータの形状データとして使用し得る認識データを適用し、形状データで覆われる領域以外を自動配線レイアウト領域として使用することを特徴とするものである。

【0013】請求項3記載の半導体装置のレイアウト方法によれば、メモリマクロ上に制限を設けて配線領域として利用でき、自動配置配線ツールを容易に適用でき、設計期間の短縮およびチップ面積の削減が図れる。

【0014】請求項4記載の半導体装置のレイアウト方法は、請求項3において、メモリマクロを包含する形状のメモリマクロ認識データと、自動配線禁止領域認識データより、メモリマクロ認識データと自動配線禁止領域認識データの論理積を求め、この論理積をメモリマクロ

の形状データとするものである。

【0015】請求項4記載の半導体装置のレイアウト方法によれば、請求項3と同様な効果のほか、例えばDRAMマクロに配線禁止領域指定レイヤを入力し、DRAMマクロの形状データとして使用することにより、容易に自動配置配線ツールに適用できるため、設計工数の大幅な低減を実現することができる。

【0016】請求項5記載の半導体装置のレイアウト構成は、メモリセルアレイ領域を含むメモリ部およびロジック部を有する半導体装置のレイアウト構成であって、メモリ部のメモリマクロに形成されるメモリ回路が n 層配線で構成され、メモリマクロ上の $(n+1)$ 層目に、少なくともメモリセルアレイ領域を覆う形状でメタルパターンを形成し、ロジック部と接続される複数のメタル配線パターンが、メタルパターンと同一の配線層で形成されていることを特徴とするものである。

【0017】請求項5記載の半導体装置のレイアウト構成によれば、例えばDRAMマクロ内の動作的に安定した領域に、ロジック回路ブロック間の配線として使用する目的で、メモリセル領域を覆うアルミパターンと同一の配線層で構成されアルミパターンを、DRAMマクロのデータとして構成することによって、DRAMブロックとロジック回路ブロックの相互の、ノイズ等による悪影響を抑制することができ、DRAMブロックとロジック回路ブロック双方の安定した回路動作を実現することができる。

【0018】請求項6記載の半導体装置のレイアウト構成は、請求項5において、複数のメタル配線パターンが隣接して平行に形成され、デザインルールで規定される最小寸法よりも大きな寸法である。

【0019】請求項6記載の半導体装置のレイアウト構成によれば、請求項5と同様な効果のほか、隣接配線間容量の低減、カップリングノイズの低減ができて、より安定したロジック回路ブロックの動作を実現することができる。

【0020】請求項7記載の半導体装置のレイアウト構成は、請求項5において、複数のメタル配線パターンが、配線幅および配線間隔が異なる複数種類を形成するものである。

【0021】請求項7記載の半導体装置のレイアウト構成によれば、請求項5と同様な効果がある。

【0022】

【発明の実施の形態】以下本発明の実施の形態について、図面を参照しながら説明する。

【0023】(実施の形態1) 本発明の第1の実施の形態の半導体装置について図1から図3を参照しながら説明する。

【0024】図1は、第1の実施の形態の構成を示すブロック図である。図1に示すように、1は半導体装置で、メモリ部であるDRAMブロック2とロジック回路

ブロック3とパッド群4とを有している。DRAMブロック2は、センスアンプ群とメモリセル群を含むメモリセルブロック5、ロウデコーダ部6、カラムデコーダ部7、基板電位発生回路や基準電位発生回路を含むメモリ制御回路部8、リードアンプ部9から構成されている。またロジック回路ブロック3はCMOS回路で構成されているものとする。点線で示す領域10は、アルミ層が形成される領域であり、少なくともメモリセル群を覆う形でDRAMブロック2の上層にアルミ層が形成される。また、領域10に形成されるアルミ層はグランドノードまたは電源ノードに固定されている。11および12はメモリブロック2、ロジックブロック3、パッド群4を互いに結線するアルミ配線である。このうち11は少なくともメモリセル群を覆うアルミ層と同一の配線層で形成されたアルミ信号配線であり、12は信号配線11より上層の配線層で形成されたアルミ信号配線である。

【0025】なお、実際には、DRAMブロック2とロジックブロック3とパッド群4の接続関係は仕様準じて結線されるものであり、図面ではその一部のみを示す。

【0026】次にDRAMブロックの構成について図2を参照しながら説明する。

【0027】図2は図1に示したDRAMブロック2の構成の一例を示すブロック図で、センスアンプ群とメモリセル群を含むメモリセルブロック5、ロウデコーダ部6、カラムデコーダ部7、基板電位発生回路や基準電位発生回路を含むメモリ制御回路部8、リードアンプ部9から構成されている。さらに、メモリセルブロック5は、マトリクス状に配置された複数のメモリセルを備えるメモリセルアレイ領域13、複数のセンスアンプを備えるセンスアンプ領域14、ワード線裏打ち領域15で構成されている。また点線で示す領域10は、アルミ層の形成領域であり、メモリセルアレイ領域13を覆う形でアルミ層を形成する。11および12は図1で説明したメモリブロック2、ロジックブロック3、パッド群4を互いに結線するアルミ配線である。このうち11は上記のアルミ層形成領域と同一の配線層で形成されたアルミ信号配線であり、12は信号配線11より上層の配線層で形成されたアルミ信号配線である。

【0028】なお、センスアンプはアドレス信号により選択されたメモリセルのデータを増幅し、かつラッチするものであり、ワードライン裏打ち領域15は、メモリセルアレイ領域13に隣接して配置され、ワードラインの裏打ちを行うために設けられた領域である。

【0029】図3は、図1に示した半導体装置1の断面の一部を示したもので、半導体基板より上層の断面構造を示している。A部にはメモリセルアレイ領域13が形成されており、B部にはセンスアンプ領域14およびワード線裏打ち領域15が形成されており、C部にはロジ

ック回路ブロック3が形成されている。DRAMブロック2はA、Bに示すように2層配線構造（第1層目配線と第2層目配線）であり、ロジック回路ブロック3は3層配線構造（第1層目配線～第3層目配線）で構成されている。

【0030】16は半導体基板、17は素子分離領域、18は拡散層、19(a)はDRAMのワード線、19(b)はセンスアンプ領域におけるセンスアンプ駆動回路のnチャンネルトランジスタのゲート電極、19

(c)はセンスアンプ領域におけるセンスアンプ駆動回路のpチャンネルトランジスタのゲート電極である。20はDRAMメモリセルのセルプレート電極、21はDRAMメモリセルのストレージ電極を示しており、セルプレート電極20とストレージ電極21は円筒スタック型メモリセルを形成している。さらに図3においてDRAMブロックのビット線22(a)とロジック回路ブロックの配線22(b)は、ともに第1層アルミで形成されており、同様にDRAMブロックのワード線23(a)とセンスアンプ制御信号23(b)、およびロジック回路ブロックの配線23(c)は、ともに第2層アルミで形成されている。メモリセルアレイ領域全体を覆うアルミ24(a)および24(b)（図2のアルミ層が形成される領域10に相当する）と、ワード線裏打ち領域の配線24(c)、ロジック回路ブロックの配線24(d)は、ともに第3層アルミで形成されている。DRAMブロックの配線25(a)、ロジック回路ブロックの配線25(b)は、ともに第4層アルミで形成されている。26はパッケージ樹脂を示している。

【0031】ここで、ワード線裏打ち領域の配線24(c)は、メモリセルアレイ領域全体を覆うアルミ24(a)および24(b)と同一の配線層で形成し、ロジック回路ブロック間の結線およびロジック回路ブロックとパッド領域との結線に使用するものである。また、DRAMブロックの配線25(a)は、メモリブロック上に自由に配線を形成できる。

【0032】なお、図3には示されていないがDRAMブロックのワード線19(a)と第2アルミで形成されたワード線23(a)は、ワード線裏打ち領域15で並列接続されており、実効的な配線抵抗を低く抑えている。また、メモリセルアレイ領域全体を覆うアルミ24(a)から配線間コンタクトを介して、センスアンプ駆動回路のnチャンネルトランジスタのソース領域である拡散層に安定したグランドレベルを供給し、アルミ24(b)からは配線間コンタクトを介して、センスアンプ駆動回路のpチャンネルトランジスタのソース領域である拡散層に、安定した電源レベルを供給する働きを有する。

【0033】なお、アルミパターン24(a)および24(b)に与えられる電位は、グランドレベルや電源レベルに限定するものではなく、チップ内部で自己発生す

る一定電位をあたえても同様の効果を得ることができる。

【0034】また、上記実施の形態では、配線層の材料としてアルミニウムを用いて説明したが、それに限定するものではなく、銅などのその他の金属（メタル）を用いても差し支えない。

【0035】さらに、金属配線の総数についても任意であり、第1の実施の形態では、DRAMブロックを2層配線構造、ロジック回路ブロックを4層配線構造としている。DRAM回路ブロックの配線数を n ($n=1$ 、2、3…) 層とした場合、ロジック回路ブロックは ($n+2$) 層とするのが、最も効果が大きい。

【0036】さらに第1の実施の形態では、メモリセルアレイ部5の構造としてDRAMを使用した半導体装置を示しているが、SRAMやフラッシュメモリをメモリセルアレイを採用した構造であっても、本発明が適用されることは言うまでもない。さらにロジック回路ブロック3の構成に関しても、CMOS回路で構成されたものに限らず、Bi-CMOS構成であっても構わない。

【0037】なお、第1の実施の形態では、アルミパターン24 (a) および24 (b) はメモリセルアレイ領域のみを覆う構成としたが、メモリセルと同様にノイズの影響を受けやすいセンスアンプ領域や、ダイナミック回路部に適用しても、同様の効果を得られる。

【0038】以上のように構成される半導体装置において、パッケージ樹脂26もしくは外部からチップ表面に入射する α 線がアルミパターン24 (a) または24 (b) によって減衰するためDRAMブロック2でのソフトエラーの発生頻度が低減される。

【0039】また、ワード線裏打ち領域の配線24 (c) は、メモリセルアレイ領域全体を覆うアルミ24 (a) および24 (b) と同一の配線層で形成し、ロジック回路ブロック間の結線およびロジック回路ブロックとパッド領域との結線に使用するので、DRAMブロック上をロジック回路ブロックの配線領域として、有効に利用することができレイアウト面積が縮小できるとともに、ロジック回路ブロックの配線長が短縮できるため、ロジック回路ブロックの高速化、低消費電力化等の性能を向上できるという効果がある。

【0040】上記のように第1の実施の形態の半導体装置は、ワンチップにメモリセルアレイ領域、センスアンプ領域、デコード領域、メモリ制御回路領域を含むメモリ部およびロジック部を有する半導体装置において、メモリ部に形成されるメモリ回路が n 層配線で構成され、ロジック部に形成されるロジック回路が ($n+m$) 層 (ここで $n=1$ 、2、3…、 $m=1$ 、2、3…) 配線で構成され、メモリ回路上に ($n+1$) 層目の配線層で少なくともメモリセルアレイ部を覆うメタルパターンと、メモリセルアレイ部を覆うメタルパターンと同一の配線層で少なくとも1本のメタル配線を形成し、メタルパ

ーンは少なくともメモリ部に一定電位を供給し、メタル配線のうち少なくとも1本はパッド部またはロジック回路部と電気的に接続されている。

【0041】この構成により、必要個所に安定した一定電位を供給することができるとともに、メタルパターンはパッケージ樹脂もしくは外部から入射する α 線を減衰させるため、メモリセル内部でのソフトエラーの発生頻度が低減される。さらに、メタルパターンを形成しないメモリ回路上をロジック回路やパッド部間の配線領域として使用できるため、配線長の短縮とレイアウト面積の縮小ができ、ロジック回路部の特性向上とチップ面積の縮小ができる。

【0042】(実施の形態2) 次に、本発明の第2の実施の形態の半導体装置のレイアウト方法およびDRAMマクロの構成について図4および図5 (a)、(b) を参照しながら説明する。

【0043】図4は、第2の実施の形態のレイアウト構成を示すブロック図である。図4において、27は半導体装置のチップ全体のレイアウト領域、28はDRAMマクロの形状データ、29はロジック回路ブロックの形状データ、30はパッド部の形状データであり、ワンチップのレイアウトデータを自動配置配線ツールを用いて生成できるように、各マクロブロックにマクロブロックの形状を認識する目的で、マクロライブラリ仕様にしたがって入力された枠データである。

【0044】また、10は第1の実施の形態に示した、メモリセル領域を覆うアルミパターン（アルミ層が形成される領域）である。31はアルミフューズ領域であり、レーザービーム等によりアルミフューズ領域31の特定のフューズを切断し、回路動作を切りかえることができるフューズ群を形成する。一般にこのフューズ群はチップ内で使用するアルミ配線のうち、最上層で形成する。32は、メモリセル領域を覆うアルミパターン10を覆う形で入力した3層目アルミ配線禁止領域である。33はフューズ領域31を覆う形で入力したアルミ配線全層配線禁止領域である。

【0045】図5 (a)、図5 (b) は、自動配置配線ツールに認識させるマクロブロックの形状データを示したものであり、図5 (a) は、3層目アルミ配線用の形状データ、図5 (b) は4層目アルミ配線用の形状データを示す。図5 (a) において、28はDRAMマクロの形状データであり、1層目および2層目のアルミ配線時に、DRAMマクロの形状を認識するデータである。DRAMマクロの形状データ28は、あらかじめ定められたレイヤーで、DRAMマクロのレイアウトデータとして入力されており、ロジック回路ブロックの形状データとは異なり、DRAM部専用のレイヤーを使用するのである。

【0046】図5 (a) に示すように、3層目のアルミ配線を行う時のみ、メモリセル領域を覆うアルミパター

ン10を覆う形で入力した3層目アルミ配線禁止領域32と、フューズ領域31を覆う形で入力したアルミ配線全層配線禁止領域33を、DRAMマクロの形状データとする。

【0047】なお、DRAM部以外にも、3層目アルミ配線禁止領域32および、アルミ配線全層配線禁止領域33が存在しても問題が生じないように、DRAMマクロの形状データ28と、アルミ配線全層配線禁止領域33の論理積を、自動配置配線ツールに認識させるDRAMマクロの3層目アルミ配線用の形状データとする。

【0048】また図5(b)に示すように、4層目のアルミ配線を行う時のみ、フューズ領域31を覆う形で入力したアルミ配線全層配線禁止領域33をDRAM部の形状データとする。なおDRAM部以外にも、アルミ配線全層配線禁止領域33が存在しても問題が生じないように、DRAMマクロの形状データ28と、アルミ配線全層配線禁止領域33の論理積を、自動配置配線ツールに認識させるDRAMマクロの、4層アルミ配線用形状データとする。

【0049】以上のように構成される半導体装置のレイアウト方法において、2層アルミ配線構造で形成されたDRAMブロック上を、3層目および4層目のアルミ配線に制限を設けて、ロジックブロック間の配線領域として利用でき、さらに自動配置配線ツールに容易に適用できるため、設計期間の短縮および、チップ面積の削減、ロジック回路ブロックの性能向上が容易に実現できる。

【0050】なお、上記第2の実施の形態では、配線層の材料としてアルミニウムを用いて説明したが、それに限定するものではなく、銅などのその他の金属(メタル)を用いても差し支えない。

【0051】さらに、金属配線の総数についても任意であり、第2の実施の形態では、DRAMブロックを2層配線構造、ロジック回路ブロックを4層配線構造としているが、特に限定するものではない。

【0052】(実施の形態3) つぎに、本発明の第3の実施の形態の半導体装置のレイアウト方法およびDRAMマクロの構成について、図6を参照しながら説明する。

【0053】図6は、第3の実施の形態の構成を示すブロック図である。なお、図1から図5を用いて説明した半導体装置のレイアウト構成と同様の構成については、同一の符号を付して説明を省略する。図6における34は、DRAMマクロのレイアウトデータとして構成した第3アルミ配線層群である。なお、第3アルミ配線層群34は、DRAMマクロ単独では他の電位に接続されずにフローティングであり、ロジック回路ブロック間及び、パッドとロジック回路ブロック間の結線に用いる配線パターンである。第3アルミ層34は、DRAMマクロにおいて、メモリセル領域を覆うアルミパターン10と同一の配線層で構成され、電源やグランドノードに固

定された第2層目のアルミ配線上等の、動作的に安定した領域に構成したものである。

【0054】また、第3アルミ配線層群34に固有の信号名と、DRAMブロック形状データ28を付加することで、自動配置配線ツールに容易に適用でき、設計工数の低減およびチップサイズを縮小できる効果に加え、DRAMブロックとロジック回路ブロックの相互の、ノイズ等による悪影響を抑制することができ、DRAMブロックとロジック回路ブロック双方の回路動作の安定を実現することができる。

【0055】また、DRAMブロックは、チップ全体の中で大きな割合を占め、第3アルミ配線層群34は、DRAMブロック内を平行して配線されることが一般的であるとともに、ロジック回路ブロック間のデータバス線として用いる可能性が高い。そこで、第3アルミ配線層群34のアルミ配線の幅と間隔を、デザインルールの2倍程度以上の寸法とし、等ピッチでレイアウトすることで、第3アルミ配線層群34の隣接配線間容量の低減およびカップリングノイズの低減ができ、より安定したロジック回路ブロックの動作を実現することができる。

【0056】さらにメタル配線パターンは配線幅および配線間隔が異なる複数種類を形成することができる。

【0057】

【発明の効果】請求項1記載の半導体装置によれば、例えばメタルパターンは少なくともメモリ部に一定電位を供給し、メタル配線パターンのうち少なくとも1本はパッド部またはロジック回路部と電気的に接続されると、必要個所に安定した一定電位を供給することができる。しかもパッケージ樹脂もしくは外部からチップ表面に入射する α 線を、メモリセル上に設けたメタルパターンによって減衰させ、メモリセル内部でのソフトエラーの発生頻度を低減することができ、ソフトエラーに対してより安定動作を行うことができるとともに、メモリセル上に設けたメタルパターンと同一の配線層で、DRAMブロック上を、ロジック回路ブロック間の配線領域として有効に利用できるため、より少ない配線層数で、自由度の高い配線パターンを形成することができる。

【0058】請求項2記載の半導体装置によれば、請求項1と同様な効果のほか、メタルパターンを形成しないメモリ回路上をロジック回路やパッド部間の配線領域として使用できるため、配線長の短縮とレイアウト面積の縮小ができ、ロジック回路部の特性向上とチップ面積の縮小ができる。

【0059】請求項3記載の半導体装置のレイアウト方法によれば、メモリマクロ上に制限を設けて配線領域として利用でき、自動配置配線ツールを容易に適用でき、設計期間の短縮およびチップ面積の削減が図れる。

【0060】請求項4記載の半導体装置のレイアウト方法によれば、請求項3と同様な効果のほか、例えばDRAMマクロに配線禁止領域指定レイヤを入力し、DRA

Mマクロの形状データとして使用することにより、容易に自動配置配線ツールに適用できるため、設計工数の大幅な低減を実現することができる。

【0061】請求項5記載の半導体装置のレイアウト構成によれば、例えばDRAMマクロ内の動作的に安定した領域に、ロジック回路ブロック間の配線として使用する目的で、メモリセル領域を覆うアルミパターンと同一の配線層で構成されアルミパターンを、DRAMマクロのデータとして構成することによって、DRAMブロックとロジック回路ブロックの相互の、ノイズ等による悪影響を抑制することができ、DRAMブロックとロジック回路ブロック双方の安定した回路動作を実現することができる。

【0062】請求項6記載の半導体装置のレイアウト構成によれば、請求項5と同様な効果のほか、隣接配線間容量の低減、カップリングノイズの低減がてき、より安定したロジック回路ブロックの動作を実現することができる。

【0063】請求項7記載の半導体装置のレイアウト構成によれば、請求項5と同様な効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を示す平面にみた説明図である。

【図2】本発明の第1の実施の形態のDRAMブロックの構成を示す平面にみた説明図である。

【図3】本発明の第1の実施の形態の構成を示す部分断面図である。

【図4】本発明の第2の実施の形態2の構成を示す平面にみた説明図である。

【図5】(a)は第2の実施の形態のDRAMブロックの3層目のアルミ配線用の形状データを示す説明図、(b)は4層目のアルミ配線用の形状データを示す説明図である。

【図6】本発明の第3の実施の形態の構成を示す説明図である。

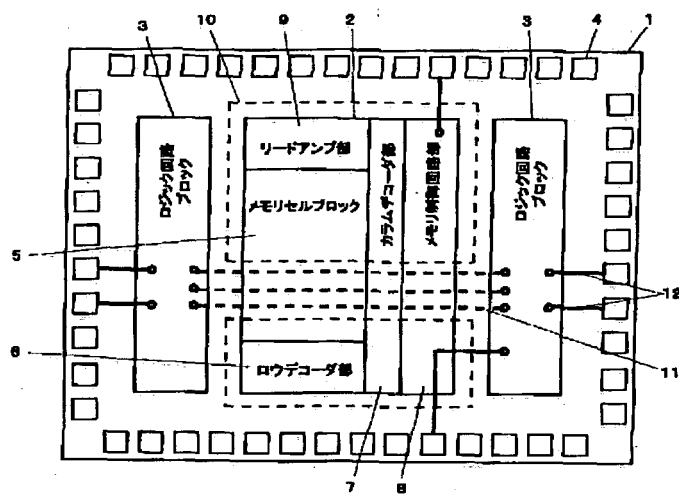
【図7】従来例の構成を示す説明図である。

【符号の説明】

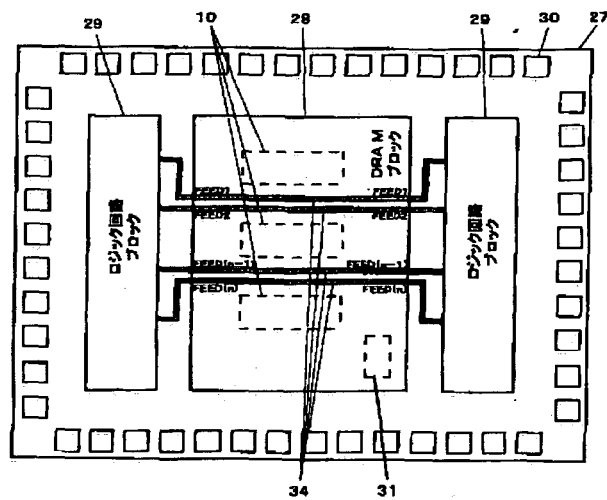
- 1 半導体装置
- 2 DRAMブロック
- 3 ロジック回路ブロック
- 4 バッド群

- 5 メモリセルブロック
- 6 ロウデコーダ部
- 7 カラムデコーダ部
- 8 メモリ制御回路部
- 9 リードアンプ部
- 10 アルミパターン
- 11 第3層アルミ配線
- 12 第4層アルミ配線
- 13 メモリセルアレイ領域
- 14 センスアンプ領域
- 15 ワード線裏打ち領域
- 16 半導体基板
- 17 素子分離領域
- 18 拡散層
- 19 (a) DRAMのワード線
- 19 (b) センスアンプ駆動回路のnチャンネルトランジスタのゲート電極
- 19 (c) センスアンプ駆動回路のpチャンネルトランジスタのゲート電極
- 20 DRAMメモリセルのセルプレート電極
- 21 DRAMメモリセルのストレージノード電極
- 22 (a) DRAMブロックのビット線
- 22 (b) ロジック回路ブロックの第1層アルミ配線
- 23 (a) DRAMブロックのワード線裏打ち配線
- 23 (b) センスアンプ制御信号
- 23 (c) ロジック回路ブロックの第2層アルミ配線
- 24 (a)、24 (b) メモリセルアレイを覆う第3層アルミ配線
- 24 (c) ワード線裏打ち領域の第3層アルミ配線
- 24 (d) ロジック回路ブロックの第3層アルミ配線
- 25 (a) DRAMブロックの第4層アルミ配線
- 25 (b) ロジック回路ブロックの第4層アルミ配線
- 26 パッケージ樹脂
- 27 チップレイアウト領域
- 28 DRAMマクロの形状データ
- 29 ロジック回路ブロックの形状データ
- 30 バッド部の形状データ
- 31 アルミフューズ領域
- 32 第3層アルミ配線禁止領域
- 33 アルミ配線全層禁止領域
- 34 第3層アルミ配線層群

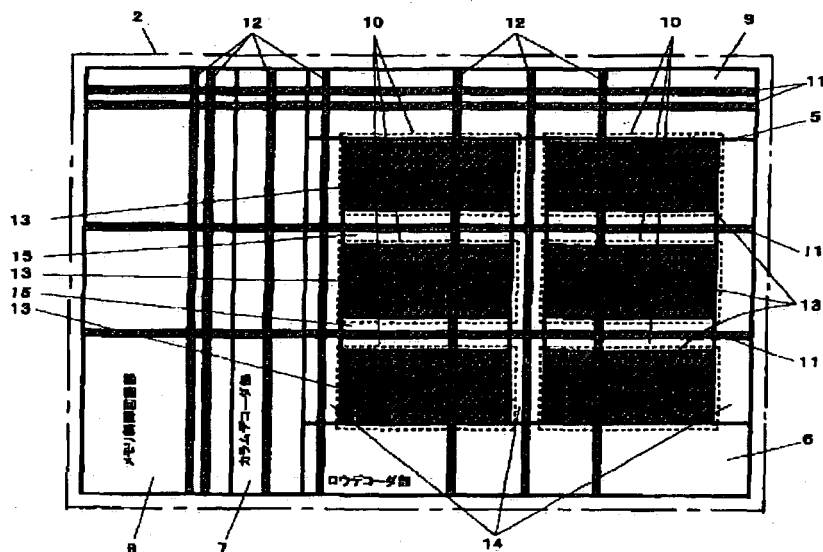
【図1】



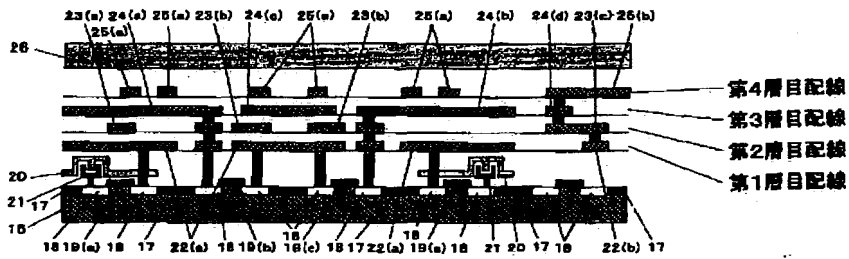
【図6】



【図2】

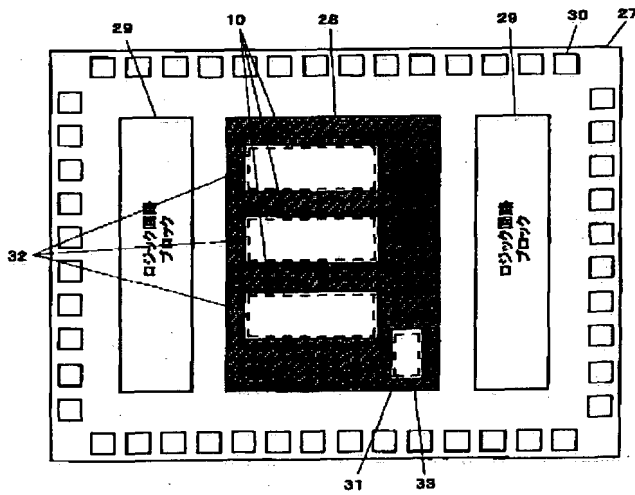


【図3】

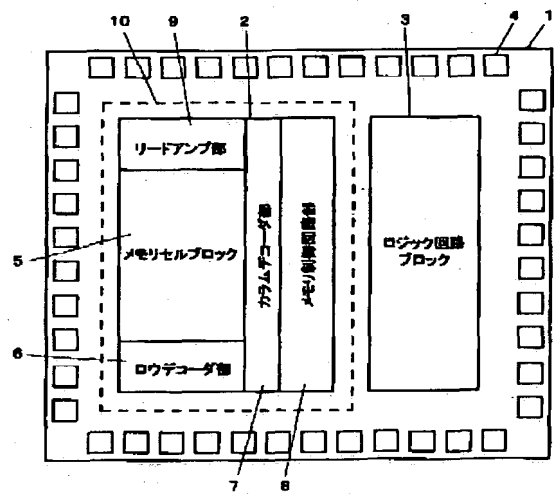


A₍₁₃₎ | B_(14,15) | A₍₁₃₎ | C₍₃₎

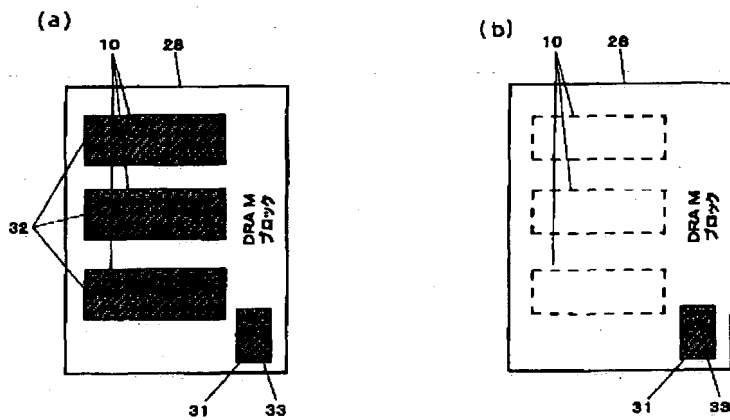
【図4】



【図7】



【図5】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

ターム (参考)

21/8242

Fターム(参考) 5F038 AV06 BH10 BH19 CA03 CD02
CD03 CD05 DF11 EZ20
5F064 AA04 BB02 BB14 BB23 BB35
CC12 CC15 DD20 EE05 EE23
EE26 EE33 EE52 FF27 FF32
FF42
5F083 AD24 AD48 BS00 ER22 GA02
GA05 GA09 GA18 GA28 JA36
JA37 LA11 LA26 ZA01 ZA12
ZA27